

JP2001014459

ERROR DIFFUSING CIRCUIT

MATSUSHITA ELECTRIC IND CO LTD

Inventor(s): NAKAMURA TAKAHIRO ; IWAKURA NORIYUKI ; OTA YOSHITO

Application No. 11188728 , **Filed** 19990702 , **Published** 20010119

Abstract:

PROBLEM TO BE SOLVED: To avoid regularly carrying error data to output video data though the same value is continued in input video data by adding a random number to input video data in stead of error data with a prescribed timing.

SOLUTION: An error data holding circuit 102 holds the low-order (n-m) bit of video data of (n+1) bit outputted by an adding circuit 101 as the next error data and after holding the data in a pixel period, outputs it as error data for a next pixel. An output circuit 103 prepares m-bit video data from the high- order (m+1) bit of (n+1) bit video data outputted by the circuit 101, and a random number generating circuit 104 generates irregular data whenever a horizontal synchronizing signal is inputted. An error data switching switch 105 switches data to be outputted to the circuit 101 with the timing of inputting the horizontal

synchronizing signal from data outputted from the circuit 102 to data outputted from the circuit 104.

Int'l Class: G06T00500 H04N001405 H04N005262

MicroPatent Reference Number: 001802553

COPYRIGHT: (C) 2001 JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2001-14459
(P2001-14459A)

(43) 公開日 平成13年1月19日 (2001.1.19)

(51) Int.Cl.⁷ 識別記号
G 0 6 T 5/00
H 0 4 N 1/405
5/262

F I テーコード* (参考)
G 0 6 F 15/68 3 2 0 A 5 B 0 5 7
H 0 4 N 5/262 5 C 0 2 3
1/40 B 5 C 0 7 7

審査請求 未請求 請求項の数 6 O L (全 6 頁)

(21) 出願番号 特願平11-188728
(22) 出願日 平成11年7月2日 (1999.7.2)

(71) 出願人 000005821
松下電器産業株式会社
大阪府門真市大字門真1006番地
(72) 発明者 中村 孝弘
大阪府茨木市松下町1番1号 株式会社松
下エーヴィシー・テクノロジー内
(72) 発明者 岩倉 紀行
大阪府茨木市松下町1番1号 株式会社松
下エーヴィシー・テクノロジー内
(74) 代理人 100097445
弁理士 岩橋 文雄 (外2名)

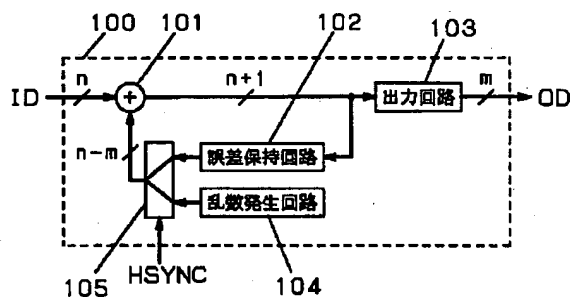
最終頁に続く

(54) 【発明の名称】 誤差拡散回路

(57) 【要約】

【課題】 誤差データのビット数が大きな誤差拡散回路に広範囲の同一輝度データ領域が存在する映像信号が入力した場合、誤差繰り越しパターンの規則性により斜め線が発生するのを防止する。

【解決手段】 所定のタイミングで誤差データの代わりに乱数を入力映像データに加算する事で、入力映像データに同一値が連続した場合においても誤差データの出力映像データへの繰り越しが規則性を持たない構成とした。



【特許請求の範囲】

【請求項1】 入力映像データに誤差データを加算し、その所定上位ビットを出力映像データとし、所定下位ビットを次の誤差データとする誤差拡散回路において、所定のタイミングで前記誤差データの代わりに乱数を入力映像データに加算する事で、入力映像データに同一値が連続した場合においても誤差データの出力映像データへの繰り越しが空間的規則性を持たないことを特徴とする誤差拡散回路。

【請求項2】 乱数を入力するタイミングを垂直同期信号とする同一にすることで、FRC効果を発揮させることを特徴とした請求項1記載の誤差拡散回路。

【請求項3】 乱数の発生手段として乱数テーブルを用いた誤差拡散回路において、前記乱数テーブルのデコードをするパラメータを少なくとも2つ以上のパラメータの複合を用いて行うことで、誤差繰り越しパターンの周期を長期化することを特徴とする請求項1記載の誤差拡散回路。

【請求項4】 n ビットの入力映像データに誤差データを加算する加算手段と、前記加算手段の出力の所定上位ビットを m ($m < n$) ビットの出力映像データとする出力手段と、前記加算手段の出力データの低位 ($n-m$) ビットを次の前記誤差データとして保持する保持手段から構成される誤差拡散回路において、 $(m-n)$ ビットの乱数を発生させる乱数発生手段と、一定周期に1回のタイミングで前記保持手段の誤差データの代わりに前記乱数発生手段の出力を前記加算手段の誤差データとして出力する切り替え手段とを保持する事により、入力映像データに同一値が連続した場合においても誤差データの出力映像データへの繰り越しが空間的規則性を持たないことを特徴とする誤差拡散回路。

【請求項5】 切り替え手段を乱数発生手段の出力に切り替えるタイミングを垂直同期信号と同一のタイミングとするによりFRC効果を発揮させることを特徴とした請求項4記載の誤差拡散回路。

【請求項6】 乱数発生手段として、 $(m-n)$ ビットのデータを不規則性配置した2の $(m-n)$ 乗個のデータを保持するテーブルと、前記テーブルをデコードするカウンタとして各々周期の異なる複数個のカウンタの演算結果を用いることで、テーブルをデコードされる乱数データの周期を長期化することを特徴とする請求項4に記載の誤差拡散回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は原画像のビット数よりも表示デバイスのビット数が小さい場合、誤差拡散により擬似的に多階調表現を行う誤差拡散装置に関する物である。

【0002】

【従来の技術】 従来より、原画像のビット数よりも表示

デバイスのビット数が小さい場合、誤差拡散により擬似的に多階調表現を行う誤差拡散回路が存在している。

【0003】 図2は n ビットの原画像データIDを誤差拡散により m ビット ($m < n$) の画像表示データODとして表示デバイスへ出力する誤差拡散装置である。図2中の201は n ビットの入力映像データに $(n-m)$ ビットの誤差データを加算する加算回路であり $(n+1)$ ビットの映像データを出力する。202は前記加算回路201の出力する $(n+1)$ ビットの映像データの低位 ($n-m$) ビットを次の誤差データとして保持する保持手段であり、1画素期間データを保持後、次ぎの画素の入力映像データと加算させるべく201へ出力する。203は加算手段201の出力する $(n+1)$ ビットの映像データの上位 $(m+1)$ ビットより m ビットの映像データを作成する出力手段である。

【0004】 図3は $n=8$ 、 $m=7$ とする前記誤差拡散回路に入力データ129 (8ビット表現) が入力した場合の様子を表しており、出力データは65 (7ビット表現) と64 (7ビット表現) が1画素毎に出力され、平均輝度として 64.5 (7ビット表現) $= 129$ (8ビット表現) が表示される様子を表している。

【0005】 このように、誤差拡散回路は入力映像信号のビット数より表示デバイスのビット数が少ない場合にも誤差データを周辺画素に拡散する事で擬似的に入力映像信号と同等の階調表現を行うことが出来る。

【0006】

【発明が解決しようとする課題】 しかし、前述の誤差拡散回路200は誤差データのビット数 ($n-m$) が大きくなるに従って誤差データ繰り越し周期が長期化し、中間階調表現するために要する画素数が増加する。このような誤差データのビット数が大きな誤差拡散回路に広範囲の同一輝度データ領域が存在する映像信号が入力した場合、誤差繰り越しパターンの規則性により斜め線が発生する等課題が生じる。

【0007】 図4は $n=8$ 、 $m=5$ とする前記誤差拡散回路に入力データ129 (8ビット表現) が入力した場合の様子を表しており、出力データ17 (5ビット表現) の画素と出力データ16 (5ビット表現) の画素の比が1:7の割合で出力され、平均輝度として 16.125 (5ビット表現) $= 129$ (8ビット表現) が表示される様子を表している。図4の場合、ライン間に繰り越される誤差データが1であるため斜め線が発生する。

【0008】 このような課題を解決するために特開平7-134578号公報に示すようなフラット領域検出回路を設けその検出結果により誤差データをリセットさせる方法等存在するが、検出回路が必要であるなど回路規模の増大が問題となっている。

【0009】

【課題を解決するための手段】 そこで、本発明の誤差拡散回路は所定のタイミングで前記誤差データの代わりに

乱数を入力映像データに加算する事で、入力映像データに同一値が連続した場合においても誤差データの出力映像データへの繰り越しが規則性を持たないことを特徴とするものである。

【0010】

【発明の実施の形態】本発明の請求項1に記載の発明は、入力映像データに誤差データを加算し、その所定上位ビットを出力映像データとし、所定下位ビットを次の誤差データとする誤差拡散回路において、所定のタイミングで前記誤差データの代わりに乱数を入力映像データに加算する誤差拡散回路であり、入力映像データに同一値が連続した場合においても誤差データの出力映像データへの繰り越しが空間的規則性を持たせずに擬似的に入力データと同等の階調表示することが出来る。

【0011】本発明の請求項2に記載の発明は、請求項1の誤差拡散回路において、乱数を入力するタイミングを垂直同期信号とする同一にすることを特徴とする誤差拡散回路であり、誤差繰り越しの空間的規則性は発生するが、FRC効果によりその規則性の目視への影響を抑制する事が出来る。

【0012】本発明の請求項3に記載の発明は、乱数の発生手段として乱数テーブルを用いた請求項1の誤差拡散回路において、前記乱数テーブルのデコードをするパラメータを少なくとも2つ以上のパラメータの複合を用いて行うことを特徴とする誤差拡散回路であり、誤差繰り越しパターンの周期を長期化することによりその影響を低減することが出来る。

【0013】本発明の請求項4に記載の発明は、 n ビットの入力映像データに誤差データを加算する加算手段と、前記加算手段の出力の所定上位ビットを m ($m < n$) ビットの出力映像データとする出力手段と、前記加算手段の出力データの下位 ($n-m$) ビットを次の前記誤差データとして保持する保持手段から構成される誤差拡散回路において、($m-n$) ビットの乱数を発生させる乱数発生手段と、一定周期に1回のタイミングで前記保持手段の誤差データの代わりに前記乱数発生手段の出力を前記加算手段の誤差データとして出力する切り替え手段とを保持する誤差拡散回路であり、入力映像データに同一値が連続した場合においても誤差データの出力映像データへの繰り越しが空間的規則性を持たせずに擬似的に n ビット階調表示することが出来る。

【0014】本発明の請求項5に記載の発明は、請求項4の誤差拡散回路において、切り替え手段を乱数発生手段の出力に切り替えるタイミングを垂直同期信号と同一のタイミングとすることを特徴とした誤差拡散回路であり、誤差繰り越しの空間的規則性は発生するが、FRC効果によりその規則性の目視への影響を抑制する事が出来る。

【0015】本発明の請求項6に記載の発明は、乱数発生手段として、($m-n$) ビットのデータを不規則性配

置した2の($m-n$)乗個のデータを保持するテーブルと、前記テーブルをデコードするカウンタとして各々周期の異なる複数個のカウンタの演算結果を用いることを特徴とする請求項4に記載の誤差拡散回路であり、テーブルをデコードされる乱数データの周期を長期化することと誤差繰り越しパターンの周期を長期化することによりその影響を低減することが出来る。

【0016】以下に、本発明の一実施の形態について、図1、図4、図5、図6を用いて説明する。

【0017】(実施の形態1) 図1は本発明の実施の形態1における誤差拡散回路のブロック構成図である。 n ビットの原画像データIDを誤差拡散により m ビット ($m < n$) の画像表示データODとして表示デバイスへ出力する誤差拡散回路である。図1において、符号101は n ビットの入力映像データに($n-m$)ビットの誤差データを加算する加算回路であり($n+1$)ビットの映像データを出力する。102は前記加算回路101の出力する($n+1$)ビットの映像データの下位($n-m$)ビットを次の誤差データとして保持する保持手段であり、1画素期間データを保持後、次ぎの画素用の誤差データとして出力する。103は加算手段101の出力する($n+1$)ビットの映像データの上位($m+1$)ビットより m ビットの映像データを作成する出力手段であり、104は水平同期信号が入力される毎に不規則なデータを発生させる乱数発生回路であり、105は水平同期信号が入力されるタイミングで前記101へ出力するデータを102出力のデータから前記104出力のデータに切り替えるスイッチである。

【0018】また、図5は前記100の誤差拡散回路で $n=8$ 、 $m=5$ としたときの前記104の乱数発生回路の一例であり、図5中の501は3($n-m$)ビットのデータ0, 1, 2, ..., 7を不規則に配置したテーブルであり、502は水平同期信号をカウントするカウンタであり、503は前記501のテーブルから前記502のカウント値の下位3ビットの示す位置のデータを取り出し、乱数データとして出力するデコードである。

【0019】かかる構成で、図5中の501の保持するテーブルを{3, 6, 2, 4, 1, 7, 5, 0}とし、 n , m の値を $n=8$ 、 $m=5$ とした図1の誤差拡散回路に映像データ129(8ビット表現)が連続して入力した場合の様子が図6であり、入力映像データに同一値が連続した場合においても誤差繰り越しデータのライン相関が無くなり、図4に示すような斜め線を発生させることなく擬似的8ビット出力が可能となる。

【0020】つぎに、本発明の他の実施の形態について、図1、図4、図7、図8を用いて説明する。なお、前述した実施の形態と同じ構成については同じ符号を用い、説明を省略する。

【0021】(実施の形態2) 図7は実施の形態2における乱数発生回路であり、図7において、符号701は

3 (n-m) ビットのデータ0, 1, 2, ..., 7を不規則に配置したテーブルであり、702は垂直同期信号をカウントするカウンタであり、703は前記701のテーブルから前記702のカウント値の下位3ビットの示す位置のデータを取り出し、乱数データとして出力するデコーダである。

【0022】また、実施の形態2では、図1の前記誤差拡散回路中の乱数発生回路104として、図7中の700を用い、701の保持するテーブルデータは{3, 6, 2, 4, 1, 7, 5, 0}であるとする。

【0023】かかる構成で、n=8、m=5としたときの前記誤差拡散回路100に映像データ129(8ビット表現)が連続して入力した場合、図4中の第1ラインのフレーム相関を示したものが図8である。

【0024】第0フレームの誤差データの空間的繰り越しパターンは図4と同等に発生するが、パターンの位置がフレーム毎にランダムに異なるため、繰り越しパターンの目視への影響を抑制することが可能である。

【0025】つぎに、本発明のもう一つの実施の形態について、図1、図9を用いて説明する。なお、前述した実施の形態と同じ構成については同じ符号を用い、説明を省略する。

【0026】(実施の形態3) 図9は実施の形態3における乱数発生回路であり、図9中の符号901は3(n-m) ビットのデータ0, 1, 2, ..., 7を不規則に配置したテーブルであり、902は垂直同期信号をカウントするカウンタであり、903は水平同期信号をカウントするカウンタであり、904は902のカウントと903のカウントを加算する加算回路であり、905は前記901のテーブルから前記904の加算結果の下位3ビットの示す位置のデータを取り出し、乱数データとして出力するデコーダである。

【0027】また、実施の形態3では、図1の前記誤差拡散回路中の乱数発生回路104として、図9中の900を用い、901の保持するテーブルデータは{3, 6, 2, 4, 1, 7, 5, 0}であるとする。

【0028】かかる構成で、n=8、m=5としたときの前記誤差拡散回路100に映像データ129(8ビット表現)が連続して入力した場合、実施の形態1の効果と実施の形態2の効果とを併せ持ち、誤差繰り越しパターンの低減、およびパターンの位置のフレーム毎の変化による目視への影響を抑制することの両方の効果を得ることが出来る。

【0029】

【発明の効果】以上のように、本発明の誤差拡散回路に

よれば、誤差データのビット数が大きい場合においても、同一値が連続した入力映像データを、誤差繰り越しデータの規則性による副作用無く入力映像信号と同等の階調出力する事が可能となる。

【図面の簡単な説明】

【図1】本発明の実施の形態1における誤差拡散回路のブロック構成図

【図2】従来の誤差拡散回路のブロック構成図

【図3】誤差拡散回路(8→7)による入力データ129表示の図

【図4】誤差拡散回路(8→5)による入力データ129表示の図

【図5】実施の形態1の説明に用いる乱数発生回路の図

【図6】図5の乱数発生回路を用いた入力データ129表示の図

【図7】実施の形態2の説明に用いる乱数発生回路の図

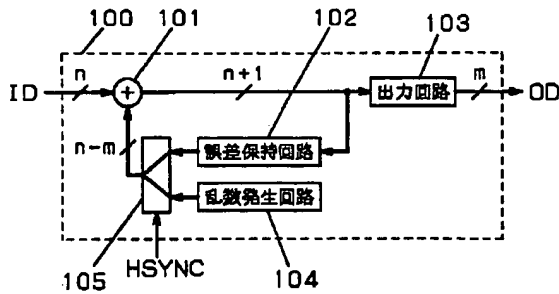
【図8】図7の乱数発生回路を用いた入力データ129表示の図

【図9】実施の形態3の説明に用いる乱数発生回路の図

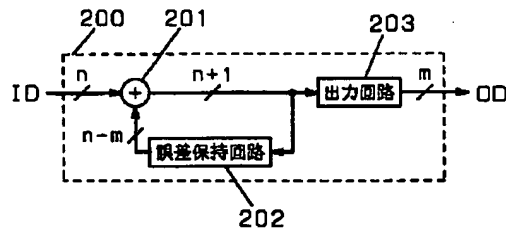
【符号の説明】

- 100 誤差拡散回路
- 101 加算回路
- 102 誤差データ保持回路
- 103 乱数発生回路
- 104 出力回路
- 105 誤差データ切り替えスイッチ
- 200 誤差拡散回路
- 201 加算回路
- 202 誤差データ保持回路
- 203 出力回路
- 500 乱数発生回路
- 501 ルックアップテーブル
- 502 水平同期カウンタ
- 503 ルックアップテーブルデコード回路
- 700 乱数発生回路
- 701 ルックアップテーブル
- 702 垂直同期カウンタ
- 703 ルックアップテーブルデコード回路
- 900 乱数発生回路
- 901 ルックアップテーブル
- 902 垂直同期カウンタ
- 903 水平同期カウンタ
- 904 加算回路
- 905 ルックアップテーブルデコード回路

【図1】

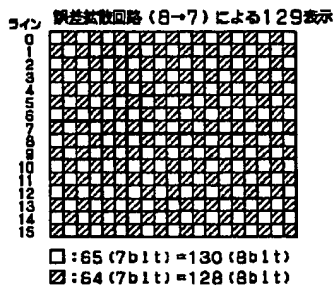


【図2】

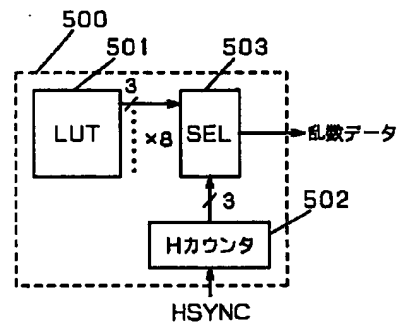
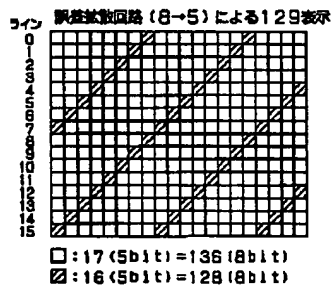


【図5】

【図3】

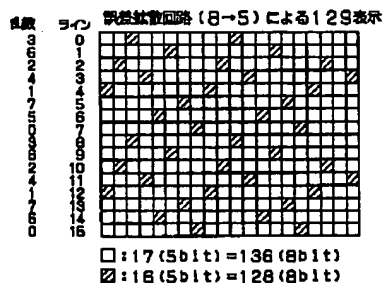


【図4】

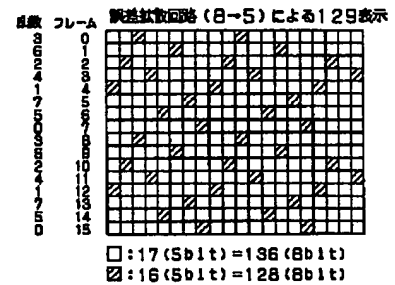
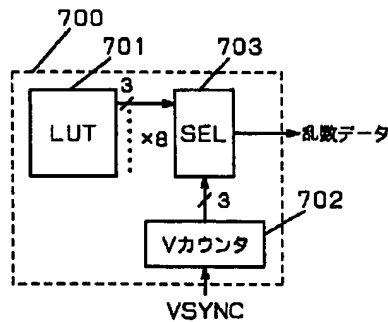


【図8】

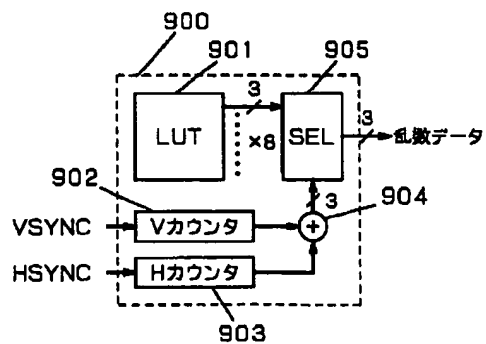
【図6】



【図7】



【図9】



フロントページの続き

(72)発明者 太田 義人

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

Fターム(参考) 5B057 CA08 CA12 CA16 CB07 CB12

CB16 CC02 CE13 CH07 CH08

5C023 AA21 EA03

5C077 LL19 NN13 PP68 PQ08 PQ17

PQ23 PQ30